

Japanese Laid-Open Patent Publication No. 63-226178/1988
(Tokukaisho 63-226178) (Published on September 20, 1988)

(A) Relevance to Claims

The following is a translation of passages related to all the claims of the present invention.

(B) Translation of Relevant Passages

The display which operates according to the scheme illustrated in Figures 7, 10, and 11 differs from the one described earlier as follows: (i) The data is accessed by the image memory 70 and one of the four RAMs 71 stores the bit in each digit according to that bit's digit in the 8-bit byte. (ii) Data is searched in each block of bites in a suitable form for writing a bit of a particular digit to a group of x lines for display in a single step. In the first method it is suggested that a single line for data is accessed in each step; however, in this case, the number of steps is reduced by the coefficient x .

In the foregoing arrangement, the number, m , of lines is given by

THIS PAGE BLANK (USPTO)

$$m = 2^{m-1} \times p$$

where n is the number of bits and p is an integer. However, if bits are written in a simple sequence of increased digits, like the one shown in Figure 8, the time taken to write to each line include an error when it is great in comparison to the time of the rightmost bit. Therefore, as shown in Figure 8, to scan the least number of lines (15 for four-bit scheme), the line writing time errors give a ratio of 0.75:1.75:3.75:8.75 and therefore distorts four-bit time division.

The data processing method mentioned above may produce large error in halftone levels if the addressing sequence of Figures 1-6 is used. However, the addressing sequence can be modified to remove the error. The addressing sequence is changed so that each bit is addressed according to its digit in a sequence, 1, -, 3, 4, 2, which represents a line period when the lines are not addressed (blank line period). The addressing sequence has three results: the binary time division is an error free ratio of 1:2:4:8, the number of lines scanned in this case is 12 or one of its multiples, and the time available for writing to each line is reduced by 20%.

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-226178

⑪ Int. Cl.⁴

H 04 N 5/66
G 09 G 3/36

識別記号

1 0 2

庁内整理番号

B-7245-5C
8621-5C

⑬ 公開

昭和63年(1988)9月20日

審査請求 未請求 発明の数 2 (全 16 頁)

⑭ 発明の名称 表示装置の動作方法および表示装置

⑮ 特 願 昭62-235070

⑯ 出 願 昭62(1987)9月21日

優先権主張 ⑰ 1986年9月20日 ⑱ イギリス(GB) ⑲ 8622717

⑳ 発 明 者	ブライアン ジェイソン ハンフリーズ	イギリス国バークシャー、ウインザー、コンベント ロード 5
㉑ 発 明 者	コリン マーティン ウォータース	イギリス国チェシャー、フロツザム、カレッツジ ドライブ、エリンデール コテージ (番地なし)
㉒ 出 願 人	ソーン イーエムアイ ビーエルシー	イギリス国ロンドン、ダブリュウ1アール 9 エイエイチ、テンターデン ストリート 4
㉓ 代 理 人	弁理士 山元 俊仁	

明 細 書

1. 発明の名称

表示装置の動作方法および表示装置

2. 特許請求の範囲

1. それぞれ選択的にセットしうるピクセル要素のラチスを有する表示装置の動作方法であって、表示のための複数の画像を互わす信号を受信し、各画像に対してピクセル要素の行を複数回、時間多重アドレスすることによりなり、

前記アドレス工程が行のグループを同時にセットすることを含み、各グループはアドレッシング・シーケンスにおいて離隔された複数の行よりなり、1つのグループ内の行が2進進行を呈示するアドレッシング・シーケンスにおいて時間的分離を有する隣接した行と系列を形成するようになされている方法。

2. 特許請求の範囲第1項記載の方法において、前記アドレッシング工程が、1つの画像における1つの行のピクセルの一部分に従って1つのグループの1つの行のすべてのピクセルをセットし、

かつ1つのライン周期において順次的に、前記画像におけるピクセル・データの他の部分に従って前記グループの他の行のすべてのピクセルをセットすることを含む前記方法。

3. 特許請求の範囲第1項または第2項記載の方法において、行の各グループは4つの行で形成され、それら4つの行はそれぞれ、1回のセット動作時に、そのグループにおける他のものとは異なるピクセル・データの一部分に従ってセットされる前記方法。

4. 特許請求の範囲第1～3項のうちの1つに記載された方法において、1つの画像に対する平均輝度レベルの値を発生し、先行画像に対する発生された平均輝度値に従って次の画像におけるグループに対するピクセル・データの部分のスケールリングを行うことを含む前記方法。

5. 表示のための1つの画像を互わす受信された信号の各部分に依存してそれぞれ選択的にセットしうるピクセル要素のラチスと、

予め定められたシーケンスに従ってピクセル要

素の行の時間多重アドレッシングを行い、各画像に対して各行が複数回アドレスされるようにする手段を具備し、

前記アドレス手段は、アドレッシング・シーケンスにおいて離隔した複数の行よりそれぞれなる行のグループを同時にセットする手段を含んでおり、1つのグループの行が2進進行を呈示するアドレッシング・シーケンスに時間的分離を有する隣接行と系列を形成するようになされている表示装置。

6. 特許請求の範囲第5項記載の表示装置において、1つの画像に対する信号が、前記ラチス内の1つのピクセル要素をセットするためのデータをそれぞれ表わす複数の部分を有しており、それらの部分はそれぞれ、前記画像における1つのアドレスに関してピクセル要素に対するアドレッシング・データをそれぞれ表わす複数の部分によって形成されている前記表示装置。

7. 特許請求の範囲第5項または第6項記載の表示装置において、前記アドレッシング手段が、

(3)

10. 特許請求の範囲第5～9項のうちの1つに記載された表示装置において、複数の液晶セルが前記ラチスを形成している前記表示装置。

3. 発明の詳細な説明

本発明は表示装置に関し、さらに詳細には、例えば強誘電性液晶材料で作成された双安定要素を用いたグレースケール・テレビジョン表示装置に関する。

英国特許第1594151号明細書には、2進ビデオ信号の値に比例した期間のあいだ各要素が駆動される表示装置が開示されている。

本発明は、表示のための1つの画像を表わす受信された信号の各部分に依存してそれぞれ選択的にセットしうるピクセル要素のラチスと、

予め定められたシーケンスに従ってピクセル要素の行の時間多重アドレッシングを行い、各画像に対して各行が複数回アドレスされるようにする手段を具備し、

前記アドレス手段は、アドレッシング・シーケンスにおいて離隔した複数の行よりそれぞれなる

(5)

1つの画像におけるピクセル・データの一部分に従って1つのグループの1つの行におけるすべてのピクセルをセットし、そして1つのライン周期において順次的に、前記画像におけるピクセル・データの他の部分に従って前記グループの他の行のすべてのピクセルをセットするための手段を具備している前記表示装置。

8. 特許請求の範囲第5項～第7項のうちの1つに記載された表示装置において、各行グループが4つの行よりなり、それらの4つの行のそれぞれが、1つのセット動作時に、そのグループにおける他のものとは異なるピクセル・データの部分に従ってセットされる前記表示装置。

9. 特許請求の範囲第5～8項のうちの1つに記載された表示装置において、1つの画像に対する平均輝度レベルの値を発生するための手段と、先行画像に対する発生された平均輝度値に従って次の画像における各グループに対するピクセル・データの部分のスケーリングを行うための手段を具備した前記表示装置。

(4)

行のグループを同時にセットする手段を含んでおり、1つのグループの行が2進進行を呈示するアドレッシング・シーケンスに時間的分離を有する隣接行と系列を形成するようになされている表示装置を提供する。

1つの画像に対する信号はラチス内のピクセル要素をセットするためのデータをそれぞれ表わす複数の部分を含んでおり、それらの部分はそれぞれその画像における1つのアドレスに関してピクセル要素に対するアドレス・データを表わす複数の部分によって構成されていることが好ましい。

前記アドレッシング手段は1つの画像におけるピクセル・データの1つの部分に従って1つのグループの1つの行のすべてのピクセルをセットし、そしてライン周期において順次的に、その画像におけるピクセル・データの他の部分に従って上記グループの他の行のすべてのピクセルをセットするための手段を具備していることが好ましい。行の各グループは4つの行で形成されており、それらの行はそれぞれ、1つのセット動作時に、その

(6)

グループ内の他のものとは異なるピクセル・データの部分に従ってセットされる。

アドレスされた後には、ピクセル要素は次のアドレッシングが生ずるまでセット状態にとどまることが維持される。従って、セットされている各ピクセルの保持期間は該当ピクセル間のアドレッシング・シーケンスにおける一時的な分岐に依存し、この分岐は前述のように1つのグループにおける2進進行関係を有している。従って、アドレッシング手段は、所定の画位に対する1つのアドレスにおける第1の予め定められた時間間隔のあいだ1つの行をセットし、そして次にその画位に対する他のアドレスにおける第2の予め定められた時間間隔のあいだその行をセットし、それにより所定の画位に対する1つの行の異なるアドレスに対してセット時間を異ならせるように動作する。

本発明の表示装置は1つの画位に対する平均輝度レベルの値を発生する手段と、前記画位の画位に対する発生された平均輝度値に従って次の画位における各グループに対するピクセル・データの部

(7)

のグループの他の行のすべてのピクセルを設定することを含む。行の各グループは4つの行で形成されており、それらの行のそれぞれは、1つのセット動作時に、前記グループにおける他のものとは異なるピクセル・データの部分に従ってセットされることが有利である。

この方法は、1つの画位に対する平均輝度レベルの値を発生し、前記画位の画位に対する発生された平均輝度値に従って次の画位における各グループに対するピクセル・データの部分のスケールン

グを行うことを含む。本発明は、付加的なラインおよびドライバ、または高解像度空間駆動法あるいは極端に高辺なスイッチング時間を必要とすることなしに安定のセット可能なピクセル要素のラチスの効果的なアドレッシングを可能にする。

1つのピクセルは1またはそれ以上の液晶セルよりなる。

本発明はカラー表示装置および白黒表示装置に適用できる。

(9)

分のスケールングを行うための手段を具備している。

本発明はまた、それぞれ選択的にセットしうるピクセル要素のラチスを有する表示装置の動作方法であって、

表示のための複数の画位を表わす信号を受信し、

各画位に対してピクセル要素の行を複数回、時間多量アドレスすることによりなり、

前記アドレス工程が行のグループを同時にセットすることを含み、各グループはアドレッシング・シーケンスにおいて超間された複数の行よりなり、1つのグループ内の行が2進進行を呈示するアドレッシング・シーケンスにおいて時間的分岐を有する隔置した行と系列を形成するようになされている方法を提供する。

アドレッシング工程は、1つの画位におけるピクセル・データの1つの部分に従って1つのグループの1つの行のすべてのピクセルをセットしかつ1つのライン周期において順次的に、その画位におけるピクセル・データの他の部分に従ってそ

(8)

本発明の他の局面は、本発明を具現した表示装置のフォーマットの、例えばここに記述されかつ図示されたフォーマットの信号の発生に適合しかつそのために設計された装置を提供する。本発明の他の局面は、このような信号の伝送に適合したおよび/またはそのために設計された装置、このような信号の受信のために適合したおよび/またはそのために設計された装置、およびこのような信号を処理するための装置を提供する。従って、例えば、本発明はここで説明される態様で表示装置のアドレッシングのために適合したおよび/またはそのために設計されたドライバ回路を具体化する。

以下図面を参照して本発明の実施例につき説明しよう。

第1図において、全体として数字1で示されている表示装置はビデオ信号受信部2と、完全な画位の表示すなわちビデオ信号の1つの画位を生ずるのに十分な量のビデオ信号を保持する容量を有する記憶部3を具備している。また4つの行出力

装置4、5、6および7が設けられており、これらの装置はそれぞれピクセルの1つの行を画像記憶器3から取り出しうるようにする。また、これらの装置はそれぞれ各行の各ピクセルに対する情報の1つのビットをそれぞれ分離するためのビット抽出器8、9、10または11を有している。それによって得られる信号は、50個の安定の表面安定化された強誘電性液晶ピクセル要素よりそれぞれなる600の行で形成されたラチスに作用するピクセル・ドライバ12、13、14または15に送られる。

第2図は表示装置1に使用するのに通っておりかつ長さが1つの画像に対応したビデオ信号を部分的に示している。この信号は、1つの画像のための信号の始まりを示すフラグ・パルス20と、それに続く、それぞれ特定のピクセル(第2図においてカッコ内の座標で示されており、X/Yは行X、列Yのピクセルを意味する)に対する表示データである多数の部分(そのうちの1つだけが21で示されている)を有している。さらに詳細

(11)

ル要素がオンされ、第3のビットとして「1」を有するライン441の各ピクセル要素がオンされ、そして第4のビット(すなわち最高位ビット)を有するライン281の各ピクセル要素がオンされる。これらのピクセルは1つのライン周期内で順次的にアドレスされる。

次のライン周期において、ライン282、442、522および562は、先行ライン周期においてライン281、441、521および561がアドレスされたのと全く同じ方法でアドレスされる。次のライン周期およびその後のライン周期についても同様にして行われる。しかしながら、第41番目のライン周期においては、アドレスされるラインは321、481、561および1である(最後のラインは実効的には601である)。従って、最初のライン周期における表示データの最初のビットによってアドレスされたライン561は表示データの第2のビットによってアドレスされ、それら2つのアドレス間の時間間隔は40個のライン周期であり、従って最初のビット表示デ

(13)

には、各部分21は4つのビットを有しており、それらのビットのそれぞれは第3図および第4図に関連して後で説明するアドレッシング・ステージの1つに用いるための設定値を有する。

第3図は行出力、ビット抽出器およびピクセル・ドライバの1つのライン周期における動作のシーケンスを示しており、第4図は1つの画像周期において行のうちの あるものに対して行われるアドレッシングのモードを示している。

第4図は、行281、441、521および561が所定のライン周期でアドレスされるステージにおける表示装置1を示している。従って、最初のビット(すなわち最下位ビット)として「1」を有するラチスの行561における各ピクセル要素がオンされ、他のピクセル要素はオフされ、従って、第2図に示されたビデオ信号を取り出す場合、ピクセル561/1および561/2はオンしており、ピクセル561/3および561/4はオフしているであろう。同様に、第2のビットとして「1」を有する行521における各ピクセ

(12)

ータが、1つの画像周期の1/16でありかつ1つのグレーレベルに対応する時間間隔のあいだ該当ピクセルを駆動する。表示データの3番目のビットによるライン561の3番目のアドレッシングは、さらに80個のライン周期の後で生じ、2番目のビット表示データは1つの画像周期のさらに2/16に対して使用され、従ってそれは2つのグレーレベルに相当し、次のアドレッシングは、さらに160個のライン周期の後で4番目のビットによって行われ、3番目のビット表示データは4つのグレーレベルに相当するこの時間間隔に対して使用され、次のアドレッシングは8つのグレーレベルに対応する320個のライン周期の後で最初のビットによって行われる。人間の視覚系統はこれらの個々のグレーレベルを積分するレスポンスを有している。

同様にして、画像内の各ラインは、1つの画像周期のあいだに、40、80、160および320個のライン周期の時間間隔で4回アドレスされ、かつ各ピクセル要素は適当と考えられるのに応じ

(14)

てそれらの時間間隔のうちの1またはそれ以上のもののあいだオンされうる。このようにして、4つのビットの表示データ部分が16個のグレーレベルのうちの1つを形成する。第2図に示された表示データ部分をみると、 $1/1$ は16個のグレーレベルのうちのレベル8を有し、 $1/2$ はレベル3を有し、 $561/1$ はレベル13を有し、 $561/2$ はレベル1を有し、 $561/3$ はレベル8を有し、 $561/4$ はレベル10を有し、 $600/50$ はレベル0を有している。

任意の1つの画素において、16個のグレーレベルを微分することが可能でありうるが、非常に明るくまたは非常に暗い画素はコントラストを失わないフェードアウトするので、一連の画素における輝度レベルの全ダイナミックレンジを表示するにはこれで十分でないことがありうる。完全な8ビット解像度を有する255ライン/フィールドを表示するためにライン・アドレス時間を20 μ sに短縮するための他の手段としては、先行フィールドの平均輝度レベルが4ビットA/D変換

(15)

グ・パルスによって消去される。これは利用しうるライン書き込み時間を67 μ sから53 μ sに短縮する。そのグループ内の行は最低位ビットに対する周波数が1ライン・アドレス時間だけとなるまで圧縮される。各フィールドが並列に2つの半分にアドレスされると、1つのグループが最大150ライン(100%輝度)または最少15ライン(10%輝度)をスケールすることができ、全体で合計10個の輝度レベルが得られる。これらの輝度レベルのいくつかあるいはすべてが、A/D変換器に供給される可変基準電圧を固定し、各シーンにおける輝度レベルが忠実に再生されるようにする。偽輪効果(contouring effects)を低減するために、基準電圧信号は、5ビット解像度を實現するために最低位ビットに等価な程度だけランダムに変動されうる。この適応特徴は本質的に自動コントラストおよび輝度調節を与え、輝度に関係なく任意のシーンで少なくとも16個のグレーレベルが常に解像されうる。

第7図、第10図および第11図に示された技

(17)

器の基準電圧をセットする適応グレースケール手法が用いられうる。アナログ信号は、A/D変換器によって変換され、4ビットが先行画素における輝度の値をスケール(scale)し、16個のグレーレベルが各画素で常に解像されうるようにする。第5図は和々のコントラスト・レベルを有するシーンに対する4ビット・レベルの量子化を示している。これは先行フレームのある画素された平均輝度レベルを検知することによって實現され、そのレベルがステップ比較器内で100%輝度レベルと比較され、そしてそのステップ比較器が輝度レベルをスケールするための可変基準電圧を与える。第6図は適応スケールリング(adaptive scaling)を實現しうる装置のブロック図である。

適応スケールリングに従って表示上の輝度レベルを変化させるためには、1つのグループの行がアドレス・ラインの一部にわたってスケールされる。そのグループの外のアドレス・ラインは、最上位ビットを表示している画素の換りにおいて付加的な情報ビットの形で与えられるブランキン

(16)

法に従って動作する表示装置は、第1に、データが画素記憶器70からアクセスされ、各ビットは8ビットのバイトにおける各ビットの桁に応じて4つのRAM71のうちの1つに記憶される点、第2に、1つの動作において表示の n 個のラインのグループに特定の桁のビットを書き込むのに適した形式でデータがバイトのブロックとして検索される点において、先に記述されたものとは相違している。最初の手法は各動作でデータの1個のラインにアクセスすることだけを提案したが、この場合には動作の数が毎数 n だけ減少される。

前述の構成では、走査されるラインの数 m は

$$m = 2^{n-1} \times p$$

(ただし、 n はビットの数、 p は整数)で与えられる。しかしながら、ビットが第8図に示されたような増大する桁の順なシーケンスで書き込まれると、各ラインを書き込むための時間は最低位ビットの時間に比較して大きい場合に顕著が生ずる。従って、第8図に示されているように、最少数のライン(4ビット方式の場合15個のラ

(18)

イン)が走査される場合には、ライン書き込み時間誤差が0.75:1.75:3.75:8.75の比を与えるための4ビットの時分割を要させる。

上述したデータ処理方法では、第1図～第6図のアドレッシング・シーケンスが用いられた場合にはハーフトーン・レベルに大きな誤差を発生することがありうる。しかしながら、そのアドレッシング・シーケンスはこの誤差を除去するように修正されうる。このアドレッシング・シーケンスは、ラインがアドレスされない場合(ブランク・ライン周期)に1つライン周期を要する1、-、3、4、2の順序でその桁に従って各ビットをアドレスするように変更される。このアドレッシング・シーケンスには3つの結果がある。すなわち、2進時分割が1:2:4:8の比で誤差がない。この場合に走査されるラインの数は12またはこの数の倍数となる。各ラインを書き込むのに利用できる時間が20%だけ短縮される。

ライン書き込み時間の効率の減少は、第10図に示されているように3番目の桁のビットの最後

(19)

に書き込まれる場合に、SSFLCDを駆動するのに必要な場合がある。しかしながら、第7図、第10図および第11図の修正されたシーケンスを用いると、同じビット桁でアドレスされたラインのグループ(グループ内のラインの数の総数+2である場合)は「ミニフィールド」を構成するものと考えられる。この「ミニフィールド」はまず「オン」ストロブおよびデータをもち、そしてその後直ちに「オフ」ストロブおよびデータをもって走査され、この場合、ハーフトーン・レベルには非常に小さい誤差($\leq 1/4$ ビット)のみが導入されるにすぎない。

第7図、第10図および第11図のアドレッシング・シーケンスにおいて、「1」ビットが $N/15$ の連続した行に書き込まれ、次に「2」ビットが $N/15$ の連続した行に書き込まれ、以下同様にして書き込まれ、すなわち、「1」2進アドレス・グループ(HAG)のすべての行の後には、「2」HAGの行の1/2、「3」HAGの行の1/4、そして「4」HAGの行の1/8が抜く。

(21)

の1/2ビットを切り換えるように方式を延長しかつブランク・ライン周期を利用することによって回復されうる。これは、1/2ビット誤差拡張アルゴリズムを実施する手段を提供するため、および減少した5ビット方式を提供するための2つの態様で用いられうる。

この場合、1/2ビットは最下位桁ビット($m=1$)となり、4番目の桁のビットから差引かれなければならない。従って、標準2進論テーブルが第11図のテーブルに示されているように修正されなければならない。減少された5ビット方式における32個のハーフトーン・レベルのうち、レベル15および31だけがアクセスできないことがこの表からわかるであろう。

この方式は表面安定化された強誘電性液晶装置(SSFLCD)のような二状態光装置に使用するのに適している。しかしながら、ある「2フィールド」アドレッシング方式は、「オン」および「オフ」データが第1図～第6図のアドレッシング・シーケンスに適合しえない順次的フィールド

(20)

従って、画像記憶器は単一の行ではなく $N/15$ の行のブロックでアドレスされうるものであり、なぜなら、そのブロックの行は常に連続しており、従ってアドレス動作の数を $N/15$ という係数だけ減少させる。

しかしながら、この修正されたシーケンスは各ディジットの表示周期に、従ってグレースケールに、誤差を生じうる。例えば、60ライン表示では、1つのブロックにおける行の数は4であり、ビットは行に次のようにして書き込まれるであろう。(4) 57、58、59、60、(1) 1、2、3、4、(2) 9、10、11、12、(3) 25、26、27、28、(4) 1、2、3、4、(1) 5、6、7、8、(2) 13、14、15、16、(3) 29、30、31、32、(4) 5、6、7、8等。「4」ビットによって再書き込みされる前に3個のライン周期のあいだ「1」ビットが行1、2、3、4に書き込まれるが、(1つのライン周期あたり4つの行が書き込まれると仮定して)、表示は4ラ

(22)

イン同期であるべきである。同様に、「2」ビットが8ライン同期ではなくて7ライン同期のあいだ表示され、「3」ビットが16ライン同期ではなくて15ライン同期のあいだ表示され、そして「4」ビットが32ライン同期ではなくて35ライン同期のあいだ表示される。これを克服するために、書き込みシーケンスに対する他の修正が提案されている(第9図)。ビットは、1、2、3、4の順序ではなくて、1、0、3、4、2の順序で書き込まれ、この場合、0はどの行にも書き込まれないことを示す。あるいはそのかわりに、「0」同期のあいだに、「1/2」ビットが「4」ビットと同じ行に書き込まれてもよい。「1/2」ビットは5ビット2進数のL、S、B、であり、グレーレベルの数を16から30に増加させる。

他の実施例の表示装置は別々にアドレス可能なSSFLCD光ゲートのn個のラインよりなる。テレビジョンに用いる場合のnの典型的な値は575でありうる。各ラインは、アスペクト比が9:16のテレビジョン画像に対しては約1.7n

(23)

第 1 表

2ビット+2ビットを有するハーフトーン、

単純な処理

(黒レベル=1: 時間の比 2:1)

サブピクセル	時 間	合 計
0	0	1
1	1	2
1	2	3
1	3	4
2.5	1	3.5
2.5	2	6
2.5	3	8.5
3.5	1	4.5
3.5	2	8
3.5	3	11.5

この方式における種々の利用可能なレベル間の間隔は、3dBの平均視映条件下で最小限の識別可能なコントラスト差と比較されなければならない。これは、パネル構造によって(例えばアライ

(25)

の光ゲートを含んでいる。各光ゲート(ピクセル)は、比が約1:2.5でありうる開口面積a、bを有する少なくとも2つのサブピクセルに分割される。

2進コード化されたビデオ入力における適当な論理回路により、 $p+q=2$ であれば、それらのサブピクセルはa、bまたはa+bとしてアドレスされ、1:2.5:3.5の比で光出力を与える。2ビット方式を実施するために他の論理回路が同時に用いられ、1:2:3の比で同様の組の露光時間を与える。従って、単に対として組合わせることにより、第1表に示されているようなハーフトーンが得られる。

(24)

ンメント)によって設定された最大コントラスト比が改善されるまであるいはコントラスト比が約24dB(16:1)より良くなるまで、2ビット空間および2ビット時間分割がハーフトーン化のために十分であるはずであることを示している。

空間的に分割されたサブピクセルが時間グループにおける特定のビットと組合わせられると、他のハーフトーンが $m=p+q$ ビットの最大値まで得られうる。従って、1.5のレベルが2ビット小分割ピクセルおよび2ビット時分割からこのようにして得られうる。第2表は時間スロットの比が4:1である場合に(2+2)から1.5の別々のハーフトーンがどのようにして得られうるかを示している。



(26)

第 Ⅱ 表

2ビット+2ビットを有するハーフトーン、

より精巧な処理

(黒レベル = 1 : 時間の比 4 : 1)

サブピクセル 時 間 合 計

0 (第174-81) 0 (第74-81) 1

0 (第174-81) 1

1 (第274-81) 4 5

0 (第174-81) 1

2.5 (第274-81) 4 1.1

0 (第174-81) 1

3.5 (第274-81) 4 1.5

1 (第174-81) 1

0 (第274-81) 4 2

(27)

3.5 (第174-81) 1

0 (第274-81) 4 4.5

3.5 (第174-81) 1

1 (第274-81) 4 8.5

3.5 (第174-81) 1

2.5 (第274-81) 4 14.5

3.5 (第174-81) 1

3.5 (第274-81) 4 18.5

次ステージは空間分割または時分割あるいは両方でより多くのビットを用いることである。

組合わせが用いられる場合には、31個のグレースケールが存在し、これは、線、回折格子、規則的な幾何形状等のようなある特定の非ランダム映像の場合を除いて目に見えるものに基づいて正當化されうるより多い。

通常は、伝送されるビデオ信号は圧縮されるので2の全ガンマが望ましい。絵柄効果が「黒茶紙

(29)

1 (第174-81) 1

1 (第174-81) 4 6

1 (第174-81) 1

2.5 (第274-81) 4 1.2

1 (第174-81) 1

3.5 (第274-81) 4 1.6

2.5 (第174-81) 1

0 (第274-81) 4 3.5

2.5 (第174-81) 1

1 (第274-81) 4 7.5

2.5 (第174-81) 1

2.5 (第274-81) 4 13.5

2.5 (第174-81) 1

3.5 (第274-81) 4 17.5

(28)

散」によって除去されるものとして、約2のガンマを有するCRTで4ビット信号を再生した場合に十分なテレビジョン画像が発生されることが示されている。mビット分割されたサブピクセルがmビットBAGまたはパルス状の背光方式によって同時にアドレスされてビデオ・バイトにおける同じビットが両方に対して使用されれば、SSFLCDは2のガンマを有するようになされうる。ここでアドレッシングのための種々の方式について説明しよう。すなわち、

(a) モノクロム : BAGなし : 分割ピクセルによるグレースケール :

ピクセルが2進シーケンスによって4個の分割に分割されれば、約2⁴個のハーフトーンが存在し、1つのラインに書き込むために利用しうる時間は不変であるが、列導体の数は係数dだけ増加される。

(b) モノクロム : BAG : 未分割ピクセル :

時分割多重化が用いられている場合には、各ラインにg個の異なる時間スロットで書き込むこ

(30)

とによって g 個のグレーレベルが得られる。BAG方式では、各ラインが n 回書き込まれることを必要とする。ただし、

$$n = \log(g) / \log(2)$$

である。

(c) カラーフィルタ：BAG：ピクセル分割：

P 個のレベルのグレースケールがピクセル分割することによって得られ、BAG方式によって Q 個のレベルのグレースケールが得られるとすると、 $G = P \times Q$ のグレースケールが得られる。ライン当りに利用できる時間は単純な走査よりも m 倍短い。ただし、

$$m = \log(g) / \log(2)$$

である。カラーフィルタ・ビットによってカラーが付加されると、(3) は

$$m(c) = c \log(g) / \log 2$$

となる。ただし、 c は 2 と 3 の間の定数である。

(d) 頂部および底部からの書き込み：

表示が 2 つの半分で書き込まれれば、それらは同時にアドレス（書き込み）されることができ、

(31)

緑に比較して青と赤では同じ解像度は必要とされないで、575ラインビット緑 + 288ラインビット青 + 288ラインビット赤が視覚的に許容しうる映像用TV画像を与える。これは、ピクセルが分割され、かつバックライトが緑に対しては 13ms につき 2 回、赤および青に対してはそれぞれ 1 回パルス的にオンされるべきことを意味する。

(e) フレーム順次バックライティング

1つのカラー：

パルス状バックライトを伴ない、ハーフトーンがない場合には、7つのカラーだけが得られるにすぎない（テレテキストのように）。これは書き込みのためにライン当りにつきより多い時間を許容する。第III表は種々のオプションの詳細を示している。

第III表

3つのTVパネルの詳細

これら3つのパネルはすべて 65Hz のフレーム速度で走りかつアスペクト比が 16:9 のテレ

(33)

かつ1つのラインの書き込みのために上記(a)~(c)の場合の2倍の時間となる。

(f) クワッド マルチプレクス：

この方式では、ピクセルが一種の樹状構造を用いて頂部および側部からそれらの「ライン」電極につきアクセスされる。これにより利用しうるライン時間が上記(a)~(c)の場合の4倍となる。

(g) フレーム順次バックライティング

完全カラー：

時分割による m ビット・グレースケールに対しては、表示は約 2 m 回書き込まれる必要があり、バックライトは統合された光強度の 2 進シーケンスで m 回パルス状にオンされる。ピクセルがすでに小分割されていれば、その場合には、3つのカラーに対し、4つの書き込みパルスにより、それぞれ半解像度赤および青の2つの全解像度緑フィールドをもって三色カラー・フレームを書き込むことができる。全フィールドが変更されるごとに書き込まれれば、一連の書き込み工程間に消去パルスは必要でない。

(32)

ビジョン表示に基づいている。575の活性ラインが存在し、インターレースは存在しない。



サブピクセル	第 Ⅱ 表 ハーフトーン			時間/ライン
	R	G	B	
1. パルス状バックライト 分割ピクセル、 クォッド マルチプレックス、 解像度 $G = 575 \times 1022$ $R = 288 \times 511$ $B = 288 \times 511$ (ランプに対して 1 ms を許容する)	9 (15)	3	3	32 μ s
2. カラー・ドット、 カラーフィルタパターンによる 分割ピクセル、 BAG (4、4、4) クォッド マルチプレックス、 解像度 $G = 575 \times 1022$ $R = 288 \times 511$ $B = 288 \times 511$ 上記同および同で記述された	15	15	15	16 μ s
3. カラー・ドット、 分割ピクセル、 カラーフィルタパターンに従って さらに分割されたピクセル、 2ビットBAG、 クォッド マルチプレックス、 解像度 $G = 575 \times 1022$ $R = 288 \times 511$ $B = 288 \times 511$	9 (15)	9 (15)	9 (15)	52 μ s

(35)

第Ⅱ表におけるカッコ内の数は第Ⅱ表に示された種々のさらに複雑な信号処理によって得られるハーフトーンを示している。目はこのように多くのハーフトーンを識別することはできないかも知れないので、これらの長さまで行うことはかならずしも有利ではない。しかしながら、有用な組合せだけを保持するために適当な論理回路が用いられるが、特に黒の近くで、量子化されたレベルのうちの2つの間でランダムに変更することによって付加的なレベルが付加される。

時分割と分割ピクセル方式を同時に用いることによって、次の利点が得られる。単純な信号処理(第Ⅰ表)において得られるハーフトーン・レベル間の間隔はより均一となり、利用可能なフォトリトグラフィに対する制限、ラインを案内するために利用する空間、液晶またはバックライトの切換速度がすべて考慮され、それらのうちの1つだけがハーフトーンの利用可能な数を制限することがないようにし、標準用テレビのための多くのSSFLCフラットパネルに対しては2ビット

(36)

BAG方式および2つに分割されたピクセル構造で十分であり、より精巧な電子駆動装置を用いることにより同じパネル構造で多数のハーフトーンが用いられうる、あるいは同じことをするためにさらに精巧なパネルに対して非常によく似た電子駆動装置が用いられうる。図示のように、パルス状カラー・バックライティングを用いたフレーム順次方式で非常に良く似た方式が用いられうる。この方式は、厳密には2道シーケンスをなしていない時間または空間要素に対して拡張しうるものであり、1:2.5:3.5および14:5の準2道シーケンスを用いることによってダイナミックレンジが拡大され、時分割および空間分割の両方に対してビデオ・バイトにおける同じビットを用いることによって表示のガンマが2となされうる例が与えられる。

4. 図面の簡単な説明

第1図は本発明による表示装置のブロック図、第2図は第1図に示された表示装置に用いるためのデジタルビデオ信号の一部分の図、第3図は

(37)

第1図に示された装置の動作の一部分を示すブロック図、第4図は第1図に示された装置のアドレッシング・シーケンスを示す図、第5図は本発明による他の表示装置における処理ステージを示す図、第6図は第5図による表示装置の一部分を示すブロック図、第7図～第11図は本発明の他の実施例を示す図である。

図面において、1は表示装置、2はビデオ信号受信機、3は記憶器、4、5、6、7は行出力装置、8、9、10、11はビット抽出器、12、13、14、15はピクセル・ドライバをそれぞれ示す。

代理人 弁理士 山元 俊 仁

(38)

補正図

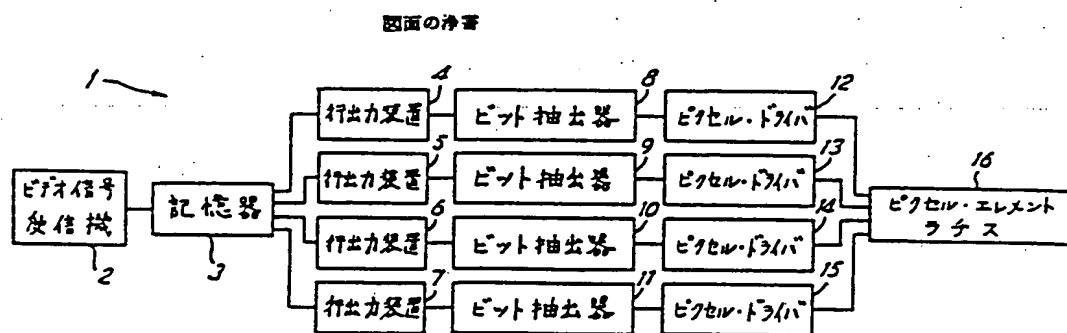


FIG.1

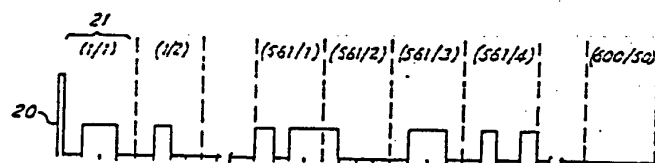


FIG.2

補正図

図面の修正

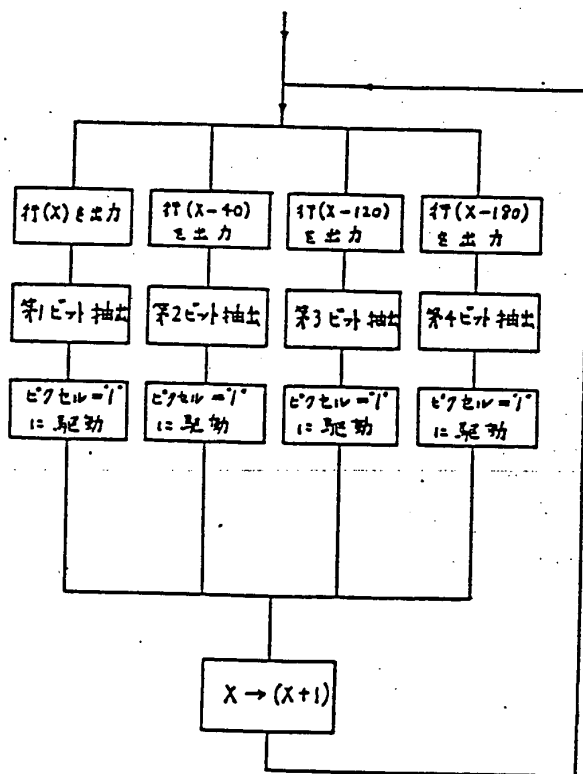


FIG.3

行	T ₀	T ₄₀	T ₈₀	T ₁₂₀	T ₁₆₀	T ₂₀₀
1		1	2			
41			1	2		
81				1	2	
121					1	2
161						
201						
241						
281	4					
321		4				
361			4			
401				4		
441	3				4	
481		3				4
521	2		3			
561	1	2		3		
600						

FIG.4

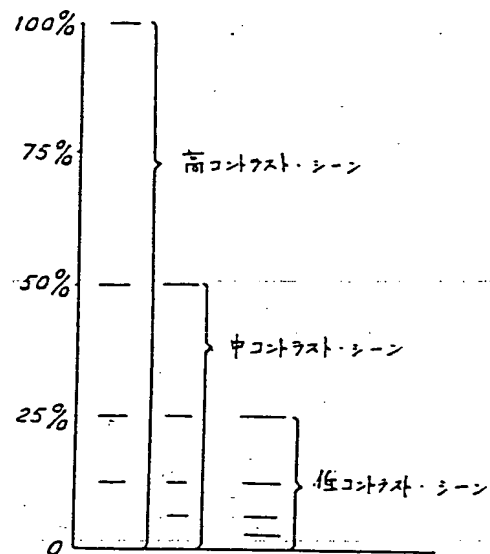
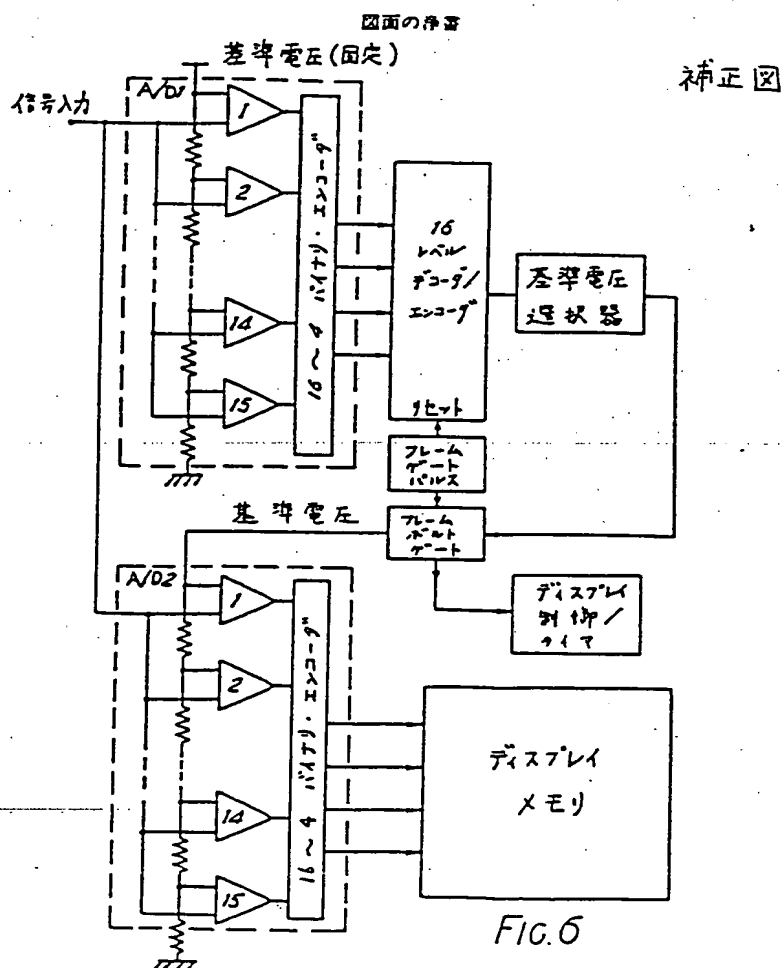
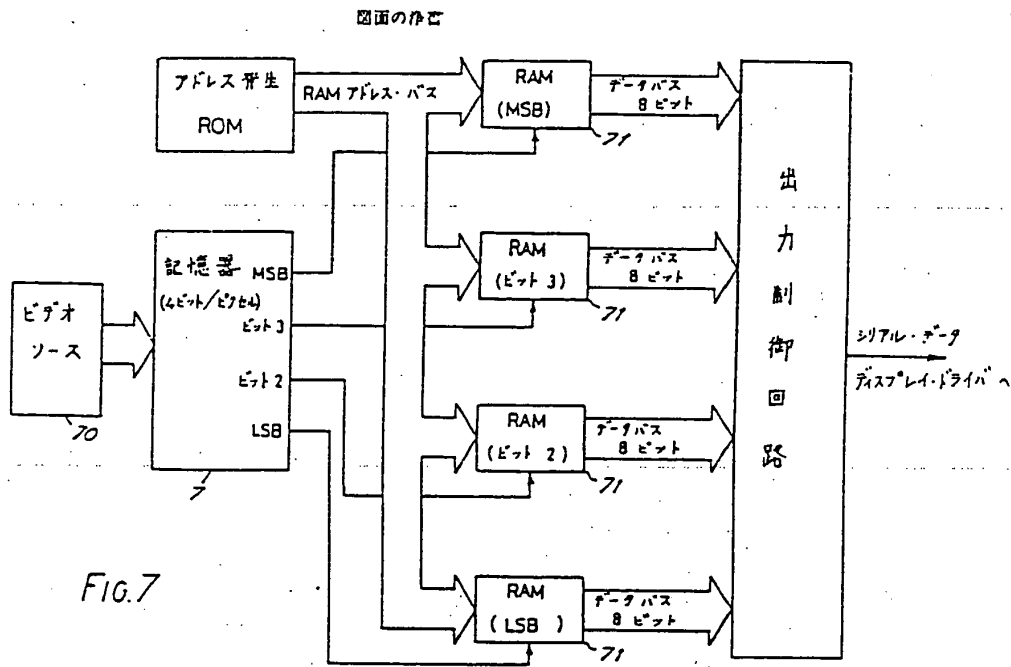


FIG.5



補正図



図面の沖害

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40
1	1	1	1	4																																				
2	2	2	2	2	1	1	1	4																																
3	3	2	2	2	2	2	2	2	1	1	1	4																												
4	3	3	3	3	3	2	2	2	2	2	2	1	1	1	4																									
5	3	3	3	3	3	3	3	3	2	2	2	2	2	2	2	1	1	1	4																					
6	3	3	3	3	3	3	3	3	3	3	3	3	2	2	2	2	2	2	1	1	1	4																		
7	4	4	3	3	3	3	3	3	3	3	3	3	3	3	3	3	2	2	2	2	2	2	1	1	1	4														
8	4	4	4	4	4	3	3	3	3	3	3	3	3	3	3	3	3	3	2	2	2	2	2	2	1	1	1	4												
9	4	4	4	4	4	4	4	4	3	3	3	3	3	3	3	3	3	3	3	3	2	2	2	2	2	2	1	1	1	4										
10	4	4	4	4	4	4	4	4	4	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3	2	2	2	2	2	2	1	1	1							
11	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	3	3	3	3	3	3	3	3	3	3	2	2	2	2	2	2	1	1			
12	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	3	3				
13	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	3			
14	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	3		

FIG.8

特開昭63-226178 (16)

手続補正書 (方式)

昭和63年7月30日

特許庁長官 小川 邦大 殿

1. 事件の表示

昭和62年 特許願 第235070号

2. 発明の名称 表示装置の動作方法および表示装置

3. 補正をする者

事件との関係 特許出願人

名称 ソーニー・イーエムライ ビーエルシー

4. 代理人 千105

住所 東京都港区虎ノ門1丁目20番1号

菅沼ビル 電話(03)595-1397(代)

氏名 (6786) 弁理士 山元 俊仁

5. 補正命令の日付(発送日) 昭和62年12月22日

6. 補正の対象 図面

7. 補正の内容

図面中、第1図、第3図、第6図、

第7図~第10図を別紙のとおり補正する。

以上



方式 図

ビット桁数					
	1	2	3	4	5
0	0	0	0	0	0
1	1	0	0	0	0
2	0	1	0	0	0
3	1	1	0	0	0
4	0	0	1	0	0
5	1	0	1	0	0
6	0	1	1	0	0
7	1	1	1	0	0
8	1	0	0	1	0
9	0	1	0	1	0
10	1	1	0	1	0
11	0	0	1	1	0
12	1	0	1	1	0
13	0	1	1	1	0
14	1	1	1	1	0
15	-	-	-	-	-
16	0	0	0	0	1
17	1	0	0	0	1
18	0	1	0	0	1
19	1	1	0	0	1
20	0	0	1	0	1
21	1	0	1	0	1
22	0	1	1	0	1
23	1	1	1	0	1
24	1	0	0	1	1
25	0	1	0	1	1
26	1	1	0	1	1
27	0	0	1	1	1
28	1	0	1	1	1
29	0	1	1	1	1
30	1	1	1	1	1
31	-	-	-	-	-

FIG.11